

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-079736

(43)Date of publication of application : 24.03.1998

(51)Int.Cl.

H04L 12/28

(21)Application number : 08-233503

(71)Applicant : NEC CORP

(22)Date of filing : 04.09.1996

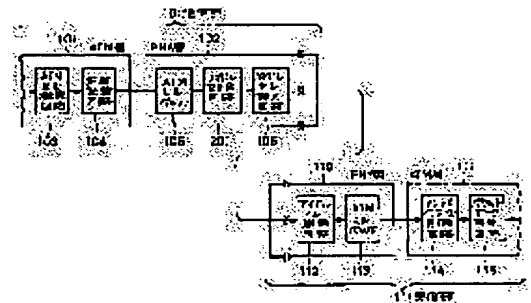
(72)Inventor : SUGAWARA HIDEKAZU

(54) ATM COMMUNICATION SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the opportunity of abort of valid cell data due to buffer overflow in the cell buffer of an asynchronous transfer mode (ATM) receiver.

SOLUTION: An unassigned cell is inserted to an ATM cell in a rate adjustment circuit 104 to adjust a transmission rate and an idle cell insert circuit 106 inserts an idle cell to the ATM cell after the rate adjustment by the rate adjustment circuit 104 to interpolate transmission frame data and the inserted unassigned cell is given to an idle cell processing circuit 201, in which the cell is converted into an idle cell and transmitted. Thus, it is prevented that an invalid unassigned cell is written to a receiver side ATM cell buffer 113 with valid cells simultaneously and the opportunity of occurrence of the overflowed buffer 113 is reduced and then the opportunity of occurrence of abort of valid cells is decreased.



LEGAL STATUS

[Date of request for examination] 04.09.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2848350

[Date of registration] 06.11.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号 ✓

特開平10-79736

(43) 公開日 平成10年(1998) 3月24日

(51) Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 12/28

9744-5K

H 0 4 L 11/20

E

審査請求 有 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平8-233503

(22) 出願日 平成8年(1996) 9月4日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 菅原 英一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 ▲柳▼川 信

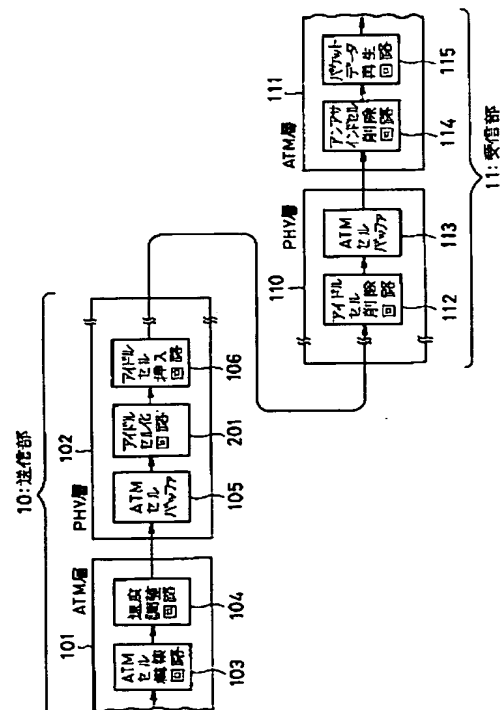
(54) 【発明の名称】 ATM通信システム

(57) 【要約】

【課題】 ATM受信装置のセルバッファにおいて、バッファあふれによって有効セルデータが廃棄されることを軽減する。

【解決手段】 速度調整回路104においてATMセルにアンアサインドセルを挿入して伝送速度調整を行い、アイドルセル挿入回路106において速度調整回路104による速度調整後のATMセルに対して伝送フレームデータを補間するためのアイドルセルを挿入するが、挿入されたアンアサインドセルをアイドルセル化回路201でアイドルセルに変換して送信する。

【効果】 有効でないアンアサインドセルが有効セルと同時に受信側のATMセルバッファ113に書込まれることがなくなり、このバッファ113のあふれが起こる機会を減少でき、有効セルの廃棄が起こる機会も減少できる。



【特許請求の範囲】

【請求項 1】 ATM (Asynchronous Transfer Mode) セルにアンアサインドセルを挿入して伝送速度調整を行う速度調整手段と、前記速度調整手段による速度調整後の ATM セルに伝送フレームデータを補間するためのアイドルセルを挿入するアイドルセル挿入手段と、

を含む ATM 送信装置と、

受信した ATM セルのうちアイドルセルを削除する削除手段と、このアイドルセル削除後の ATM セルを一定量

まで保持しかつ該一定量を越えた分を廃棄するバッファ手段と、

を含む ATM 受信装置と、を有する ATM 通信システムであって、前記 ATM 送信装置は、前記速度調整手段により挿入されるアンアサインドセルをアイドルセルに変換するセル変換手段を含むことを特徴とする ATM 通信システム。

【請求項 2】 前記セル変換手段は、前記 ATM セルがアンアサインドセルであるか否かの判定を行う判定手段と、この判定結果により前記 ATM セルがアンアサインドセルであることが示されたとき該 ATM セルの代わりに

アイドルセルを送出する手段とを含むことを特徴とする請求項 1 記載の ATM 通信システム。

【請求項 3】 前記判定手段は、前記 ATM セルのヘッダをアンアサインドセルのヘッダと比較して前記判定を行うことを特徴とする請求項 2 記載の ATM 通信システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は ATM (Asynchronous Transfer Mode) 通信システムに関し、特に伝送フレームデータを補間するための無効セルであるアイドルセルを送信側で挿入し、受信側で削除する ATM 通信システムに関する。

【0002】

【従来の技術】従来この種の ATM 通信システムは、ATM-FORUM UNI 3.1 及び ANSI T1E1 002R2 等の規格に記載されている。この規格に記載されている ATM 通信装置に関する物理 (PHY) 層-ATM 層間のデータ受け渡し部分について図示すると図 5 の様になる。まず、同図を参照して送信部 10 の動作を説明する。上位層より送出されたパケットデータは、ATM セル構築回路 103 において有効データを備えた ATM セルに分割される。更に、ATM 層 101 内の速度調整回路 104 において、この有効セルの伝送速度を調整するために、未定義セルであるアンアサインドセルが挿入される。このデータは、PHY 層 102 内の ATM セルバッファ 105 を介して、伝送フレームデータを補間するための無効セルであるアイドルセルを挿入するアイドルセル挿入回路 106 に入力される。この

後、このデータは、PHY 層 102 内の図示せぬ残りのブロックにおいて連続する伝送フレームデータに組立てられて、送信される。

【0003】次に、受信部 11 の動作を説明する。送信部 10 より出力された伝送フレームデータは、PHY 層 110 内の図示せぬ前段ブロックにおいて、アイドルセル、アンアサインドセル及び有効セルを含む ATM セル流に変換される。さらに PHY 層 110 内のアイドルセル削除回路 112 において、アイドルセルが削除され、ATM セルバッファ 113 を介して ATM 層 111 内のアンアサインドセル削除回路 114 に入力される。ここでアンアサインドセルが削除され、有効セルのみとなったデータは、パケットデータ再生回路 115 においてパケットデータに再生され、上位層に送出される。

【0004】

【発明が解決しようとする課題】上述した従来のシステムでは、送信部 10 において速度調整用に挿入されたアンアサインドセルも、有効セルと同様に ATM セルバッファ 113 に格納されてしまう。このため、PHY 層 110 内の ATM セルバッファ 113 に入力される ATM セル量よりも ATM 層 111 内で処理可能な ATM セル量が少なくなった場合に、ATM セルバッファ 113 に ATM セルがバッファリングされ、やがて許容量を越えてしまう。すると、あふれた ATM セルが有効か否かにかかわらず廃棄されてしまうという欠点がある。

【0005】なお特開平 4-372244 号公報では、プライオリティの低い有効セルを廃棄してプライオリティの高い有効セルの廃棄を防いでいるが、この場合でも上述して従来技術の欠点を解決することはできない。

【0006】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的は ATM 受信装置のセルバッファにおいて、バッファあふれによって有効セルデータが廃棄されることを軽減できる ATM 通信システムを提供することである。

【0007】

【課題を解決するための手段】本発明による ATM 通信システムは、ATM (Asynchronous Transfer Mode) セルにアンアサインドセルを挿入して伝送速度調整を行う速度調整手段と、前記速度調整手段による速度調整後の ATM セルに伝送フレームデータを補間するためのアイドルセルを挿入するアイドルセル挿入手段と、を含む ATM 送信装置と、受信した ATM セルのうちアイドルセルを削除する削除手段と、このアイドルセル削除後の ATM セルを一定量まで保持しかつ該一定量を越えた分を廃棄するバッファ手段と、を含む ATM 受信装置と、を有する ATM 通信システムであって、前記 ATM 送信装置は、前記速度調整手段により挿入されるアンアサインドセルをアイドルセルに変換するセル変換手段を含むことを特徴とする。

【0008】本発明の ATM 通信システムでは、送信装

置側において速度調整のために挿入されるアンアサインドセルをアイドルセルに変換した後、送信する。このため、受信側ではアイドルセルを削除した後でバッファに保持するので、有効セルのみがバッファに保持されることになる。よってバッファあふれによる有効セルデータの廃棄が起こる機会を減少させることができる。

【0009】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0010】図1は本発明によるATM通信システムの実施の形態を示すブロック図であり、図5と同等部分は同一符号により示されている。図1のATM通信システムが図5のシステムと異なる点は、ATMセルバッファ105とアイドルセル挿入回路106との間に、アンアサインドセルをアイドルセルに変換するアイドルセル化回路201が挿入されている点である。それ以外の部分は図5の場合と同様の動作を行う。

【0011】かかる構成において、図5の従来例と同様に、PHY層102内のATMセルバッファ105では、有効セルと速度調整用のアンアサインドセルが格納され、出力される。このデータは、アンアサインドセルのアンアサインドセル化回路201に入力される。アンアサインドセル化回路2ではアンアサインドセルがアイドルセルに変換される。そして、アイドルセル挿入回路106により、伝送フレームデータを補間するためにさらにアイドルセルが挿入された後に伝送フレームデータに組立てられる。

【0012】このようにして得られた伝送フレーム上には、アンアサインドセルが存在せず、有効セルとアイドルセルとで構成されている。この伝送フレームデータが受信部11に入力されると、アイドルセル削除回路112によってアイドルセルが削除される。このため、ATMセルバッファ113では、有効セルのみが格納され、出力されることになる。

【0013】従って、図5の従来例の場合と比較して、アンアサインドセルの容量分だけ受信部11のPHY層110内ATMセルバッファ113に格納されるATMセル数を削減できる。このため、バッファあふれによって有効セルが廃棄される機会を減らすことができる。

【0014】図2は本発明の他の実施の形態を示すブロック図である。アンアサインドセルのアイドルセル化回路201をアイドルセル挿入回路106の後段に配置した点が図1の場合と異なる。

【0015】かかる構成において、図1の実施の形態の場合と同様に、送信部10より出力されるフレームデータを有効セルとアイドルセルとで構成することができるため、図1の実施の形態と全く同様の効果が得られる。

【0016】図3は本発明のさらに他の実施の形態を示すブロック図である。アンアサインドセルのアイドルセル化回路201をATMセルバッファ105の前段に配

置した点が図1の場合と異なる。本実施の形態においても図1、2の実施の形態と全く同様の効果が得られることは自明である。

【0017】ここで、図4は図1の実施の形態におけるアンアサインドセルのアイドルセル化回路201の詳細な内部構成を示すブロック図である。ATMセルバッファ105より出力されるセルデータは、アンアサインドセルヘッダ照合回路2011によりアンアサインドセルであるか否かが検査される。この結果、アンアサインドセルであることが認識された場合、アイドルセルジェネレータ2012により出力されるアイドルセルがセクタ2013により選択されて、アイドルセル挿入回路106に入力される。

【0018】また、アンアサインドセルでないことが認識された場合、ATMセルバッファ105より出力される有効データがセクタ2013により選択されて、アイドルセル挿入回路106に入力される。

【0019】要するにアイドルセル化回路201では、ATMセルがアンアサインドセルであるか否かの判定を行い、この判定結果によりアンアサインドセルであることが示されたときそのATMセルの代わりにアイドルセルを送出しているのである。

【0020】ここで、アンアサインドセルヘッダ照合回路2011においては、ATMセルのヘッダ部をアンアサインドセルのヘッダと比較して上記の判定を行う。すなわち、一般に、アンアサインドセルのヘッダ部は、セル廃棄に対する優先表示に使用されるCLP (Cell Loss Priority) も含めて全てのビットが「0」であり、ヘッダ誤り検出に使用されるHEC (Header Error Control) の値は55 [H] である。したがって、ヘッダ部のHECを除くビットが全て「0」である場合には、そのセルがアンアサインドセルであると判定することができる。アンアサインドセルヘッダ照合回路2011は、この判定を行っているのである。

【0021】なお、アイドルセルの場合、そのヘッダ部は、CLPの値が「1」で、それ以外の全てのビットが「0」である。そして、HECの値が52 [H] である。また、アイドルセルのペイロード部分は全てが6 A [H] である。したがってアンアサインドセルヘッダ照合回路2011は、アンアサインドセルとアイドルセルとを誤ることなく判定することができる。

【0022】以上は図1中のアイドルセル化回路201について説明したが、図2及び図3におけるアイドルセル化回路201も同様に構成できることは明らかである。

【0023】以上のように、有効でないアンアサインドセルが有効セルと同時に受信側のATMセルバッファに書込まれることがなくなるので、このATMセルバッファのあふれが起こる機会を減少させることができ、よっ

て有効セルの廃棄が起こる機会も減少させることができるのである。

【0024】請求項の記載に関連して本発明は更に次の態様をとりうる。

【0025】(4) 前記判定手段は、前記ATMセルのヘッダ部のうち誤り制御部以外の部分が全て「0」のときに該ATMセルがアンアサインドセルであると判定することを特徴とする請求項2記載のATM通信システム。

【0026】(5) 前記セル変換手段は、前記アイドルセル挿入手段によるアイドルセル挿入処理後にアンアサインドセルをアイドルセルに変換することを特徴とする請求項1～4のいずれかに記載のATM通信システム。

【0027】

【発明の効果】以上説明したように本発明は、アンアサインドセルをアイドルセルに変換することにより、有効でないアンアサインドセルが有効セルと同時に受信ATMセルバッファに書込まれることがなくなり、バッファあふれが起こる機会を減少させ、バッファあふれによって有効セルデータが廃棄されることを軽減できるという

効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態によるATM通信システムの構成を示すブロック図である。

【図2】本発明の他の実施の形態によるATM通信システムの構成を示すブロック図である。

【図3】本発明の更に他の実施の形態によるATM通信システムの構成を示すブロック図である。

【図4】図1中のアイドルセル化回路の構成例を示すブロック図である。

【図5】従来のATM通信システムの構成を示すブロック図である。

【符号の説明】

10 送信部

11 受信部

103 ATMセル構築回路

104 速度調整回路

105 ATMセルバッファ

106 アイドルセル挿入回路

112 アイドルセル削除回路

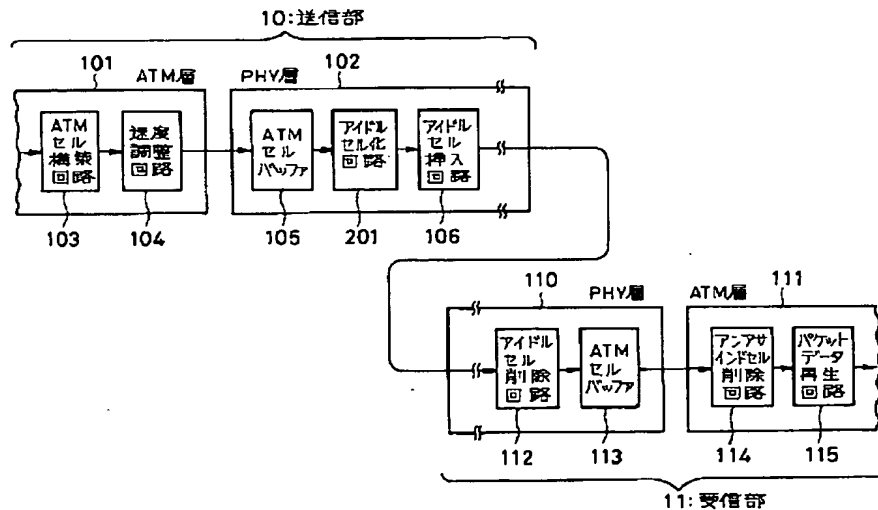
113 ATMセルバッファ

114 アンアサインドセル削除回路

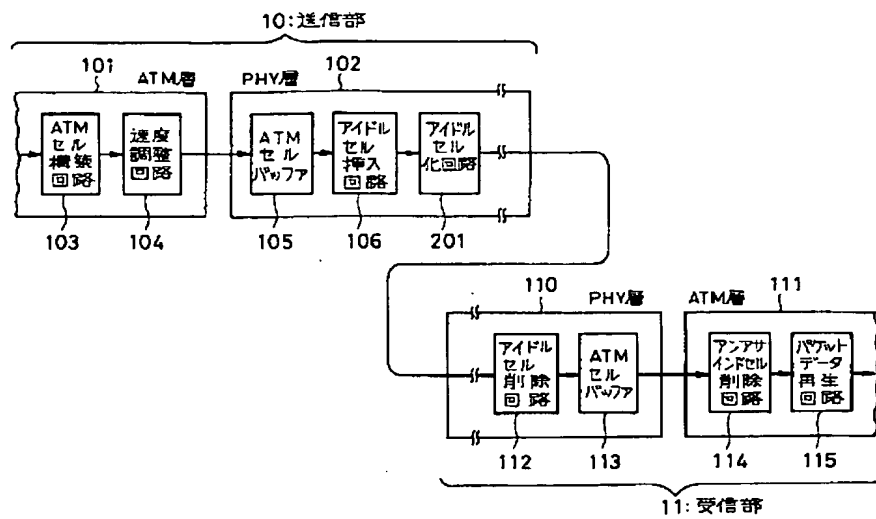
115 パケットデータ再生回路

201 アイドルセル化回路

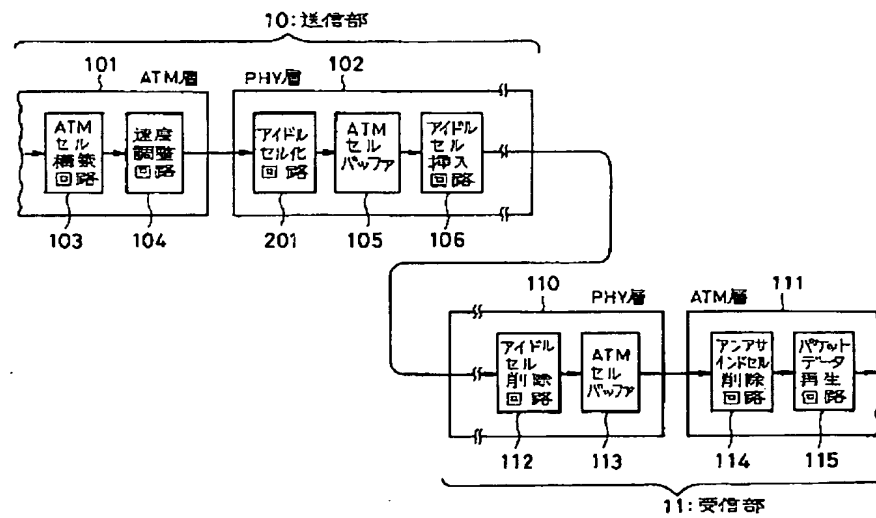
【図1】



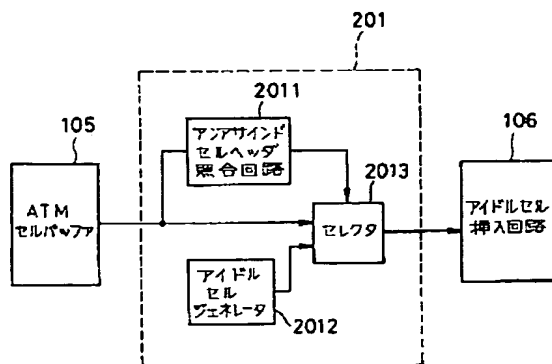
【図2】



【図3】



【図4】



【図5】

